

⑫ 公開特許公報(A)

平1-193797

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月3日

G 09 G 3/20

7335-5C

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 自発光型表示装置

⑯ 特 願 昭63-18250

⑰ 出 願 昭63(1988)1月28日

⑱ 発 明 者 岸 智 勝 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内
⑱ 発 明 者 五十嵐 豊 明 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内
⑱ 発 明 者 吉 澤 孝 仁 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内
⑱ 発 明 者 森 田 稔 神奈川県横浜市緑区桂台1-5-5 デイクシー株式会社
内
⑲ 出 願 人 デイクシー株式会社 神奈川県横浜市緑区桂台1-5-5
⑳ 代 理 人 弁理士 松隈 秀盛
最終頁に続く

明 細 書

発明の名称 自発光型表示装置

特許請求の範囲

1. 自発光型表示器と、該自発光型表示器を駆動する駆動回路とを有する自発光型表示装置において、

上記駆動回路は、

上記自発光型表示器の表示量を検出する表示量検出手段と、

該表示量検出手段の検出出力に基づいて、上記自発光型表示器の表示量の増大を抑制する如く、その表示量を制御する表示量制御手段とを備えることを特徴とする自発光型表示装置。

2. 自発光型表示器と、該自発光型表示器を駆動する駆動回路とを有する自発光型表示装置において、

上記駆動回路は、

電源から上記駆動回路に供給される単位時間中の電力を検出することによって、上記自発光型表示器の表示量を検出する表示量検出手段と、

該表示量検出手段の検出出力に基づいて、上記自発光型表示器の表示量の増大を抑制する如く、その発光時間を制御する表示量制御手段とを備えることを特徴とする自発光型表示装置。

3. 自発光型表示器と、該自発光型表示器を駆動する駆動回路とを有する自発光型表示装置において、

上記駆動回路は、

上記駆動回路に供給される表示データ中の上記自発光型表示器を発光状態にする表示データの単位時間中のデータ量を検出することによって、上記自発光型表示器の表示量を検出する表示量検出手段と、

該表示量検出手段の検出出力に基づいて、上記自発光型表示器の表示量の増大を抑制する如く、その発光時間を制御する表示量制御手段とを備えることを特徴とする自発光型表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明はプラズマ表示装置、エレクトロルミネ

ッセンス表示装置、エレクトロケミカル表示装置、螢光表示管、発光ダイオード表示装置等の自発光型表示装置に関する。

(発明の概要)

本発明は、自発光型表示器と、その自発光型表示器を駆動する駆動回路とを有する自発光型表示装置において、駆動回路は、自発光型表示器の表示量を検出する表示量検出手段と、その表示量検出手段の検出出力に基づいて、自発光型表示器の表示量の増大を抑制する如く、その表示量を制御する表示量制御手段とを備えることにより、自発光型表示器の表示の視認性を損なわずして、消費電力の低減化を図ったものである。

(従来の技術)

以下に、本発明を適用して好適な従来のプラズマ表示装置について説明する。

先ず、第8図を参照して、プラズマ表示装置に用いられるプラズマ表示パネルについて説明する。

る。このトリガー電極GT状には絶縁層(誘電体層)ILが被着されている。そして、この絶縁層IL状に、帯状のカソードKが、アノードAと直交し、所定間隔(バリアリブBRの厚さに等しい、 $100\mu\text{m}$)を置いて互に対向する如く、所定間隔を置いて平行に被着されている。

トリガー電極TGは、これとカソードK及びアノードAとの間にトリガー放電(一種のAC型放電)を起こさせ、これを種火として、アノードA及びカソードK間の放電開始を迅速にし、表示のコントラストを向上させるために設けたものである。

次に、第8図について説明したようなプラズマ表示パネルを使用した、従来のプラズマ表示装置(単階調型)について、第9図を参照して説明する。(1)は第8図で説明したプラズマ表示パネルを示し、ここではトリガー電極TGの図示を省略している。このプラズマ表示パネル(1)では、400本のカソードK(1)~K(400)と、640本のアノードA(1)~A(640)とが

プラズマ表示パネルには、AC型と、DC型があるが、この第8図のプラズマ表示パネルはDC型である。

第8図において、FGPは透明な矩形の前面ガラス板、RGPは矩形の背面ガラス板で、これらは夫々数mmの厚さを有しており、所定間隔を置いて互に対向せしめられると共に、その周囲が気密に封止されている。この前面ガラス板FGP及び背面ガラス板RGPにて構成される気密空間には、Neガス及びArガスの混合ガスが450 Torrの圧力を以て封入されている。

前面ガラス板FGP上には、細い帯状のアノード(X電極)Aが所定間隔を置いて平行に被着されると共に、その隣接するアノードA間にはそれらと平行にバリアリブBRが被着されている。このバリアリブBRは、アノードAの厚さより十分大なる厚さを有する。

又、背面ガラス板RGP上には、後述するカソードKの所定本数毎に対応して夫々設けられた数枚のシート状のトリガー電極TGが被着されてい

互いの直交する如く配置され、その各交点の所に放電セル(2)が形成される。尚、カソードの本数は、480の場合もあり、そのときは、各信号の一部の周波数は後述の値とは異なる。

次に、このプラズマ表示パネル(1)を駆動する駆動回路(20)について説明する。先ず、カソード側の回路について説明する。(3)は、400ビットのシリアルイン・パラレルアウトのシフトレジスタである。このシフトレジスタ(3)には、入力端子(4)から、60Hzの垂直同期信号をカソードシフトデータKSDとして供給すると共に、入力端子(5)から、25kHzの水平同期信号(1周期は $40\mu\text{sec}$)に同期したカソードシフトクロックKCKを供給し、このクロックKCKによって、カソードシフトデータKSDをシフトするようにしている。このシフトレジスタ(3)からの順次所定位相ずつずれた1垂直周期につき400個のカソード走査パルスは、スイッチング制御信号として、高耐圧カソードドライバ(スイッチ回路)(6)に供給される。そ

して、このカソードドライバ(6)の400個のオンオフスイッチによって、カソードK(1)～K(400)が、25kHzの周波数を以て順次循環的に接地に接続される如く走査される。

次に、アノード側の回路について説明する。

(7)は、640ビットのシリアルイン・パラレルアウトのシフトレジスタである。このシフトレジスタ(7)には、入力端子(8)から、1ビットの表示データDTが供給されると共に、入力端子(9)から、21MHzのデータシフトクロックDSCCKが供給され、このクロックDSCCKによって、表示データDTがシフトされる。

シフトレジスタ(7)からの640ビットの並列データは、ラッチ回路(10)に供給されて、入力端子(11)からのラッチクロック(水平同期信号)LCKによって、1水平期毎にラッチされる。

このラッチ回路(10)からの640ビットの並列データは、スイッチング制御信号として、高耐圧アノードドライバ(12)の640個のスイ

ッチ回路に供給される。そして、640ビットの並列データの0、1の如何に応じて、入力端子(13)からのアウトプットイネーブル信号OEの輝度調整に応じた時間幅に基づいて、1水平周期内の所定時間アノードA(1)～A(640)に200Vの電圧が選択的に供給される。

(18)はトリガー電極駆動回路で、これに入力端子(19)よりの垂直同期信号が供給され、ここでトリガー電極制御信号が作られ、このトリガー電極制御信号が図示を省略したトリガー電極TGに供給される。

次に、第8図について説明したようなプラズマ表示パネルを使用した、従来のプラズマ表示装置(16階調型)について、第10図を参照して説明する。(1)は第8図で説明したプラズマ表示パネルを示し、ここではトリガー電極の図示を省略している。このプラズマ表示パネル(1)では、400本のカソードK(1)～K(400)と、640本のアノードA(1)～A(640)とが互いの直交する如く配置され、その各交点の所に

放電セル(2)が形成される。尚、カソードの本数は480の場合もあり、そのときは、各信号の一部の周波数は後述の値とは異なる。

次に、このプラズマ表示パネル(1)を駆動する駆動回路(20)について説明する。先ず、カソード側の回路について説明する。(3)は、400ビットのシリアルイン・パラレルアウトのシフトレジスタである。このシフトレジスタ(3)には、入力端子(4)から、60Hzの垂直同期信号をカソードシフトデータKSDとして供給すると共に、入力端子(5)から、25kHzの水平同期信号(1周期は40μsec)に同期したカソードシフトクロックKCKを供給し、このクロックKCKによって、カソードシフトデータKSDをシフトするようにしている。このシフトレジスタ(3)からの順次所定位相ずつずれた1垂直周期に付き400個のカソード走査パルスは、スイッチング制御信号として、高耐圧カソードドライバ(スイッチ回路)(6)の400個のオンオフスイッチに供給される。そして、このカソー

ドドライバ(6)によって、カソードK(1)～K(400)が、25kHzの周波数を以て順次循環的に接地に接続される如く走査される。

次に、アノード側の回路について説明する。

(7)は、640バイト(=640×4ビット)のシリアルイン・パラレルアウトのシフトレジスタである。このシフトレジスタ(7)には、入力端子(8)から、4ビット、即ち16階調の表示データDTが供給されると共に、入力端子(9)から、21MHzのデータシフトクロックDSCCKが供給され、このクロックDSCCKによって、表示データDTがシフトされる。

シフトレジスタ(7)からの640×4ビットの並列データは、ラッチ回路(10)に供給されて、入力端子(11)からのラッチクロック(水平同期信号)LCKによって、1水平期間の間ラッチされる。

このラッチ回路(10)からの640×4ビットの並列データは、パルス幅カウンタ(15)及びパルス幅比較回路(14)から構成されるバル

ス幅変調回路 (17) のそのパルス幅比較回路 (14) に供給される。このパルス幅比較回路 (14) は、640個のパルス発生器を備えている。パルス幅カウンタ (15) には、入力端子 (16) から、パルス幅クロック P W C K が供給される。このパルス幅クロック P W C K は、1 水平周期 (40 μ sec) より僅か短い時間を 15 分割した周期を有し、従って、25 \times 15 kHz に近い周波数を有する。又、パルス幅カウンタ (15) 及びパルス幅比較回路 (14) には、入力端子 (21) からセットパルス (水平同期信号に同期した信号) S P が供給される。そして、パルス幅カウンタ (15) は、このセットパルス S P によってクリアされる。又、パルス幅比較回路 (14) のパルス発生器に、このセットパルス S P が供給される。

そして、パルス幅カウンタ (15) から出力された 4 ビットのパルス幅コード信号 (グレイスケールデータ) が、パルス幅比較回路 (14) に供給されて、ラッチ回路 (10) からの 640 個の

4 ビットの表示データとが比較される。そして、パルス幅比較回路 (14) の 640 個のパルス発生器の選択されたものからパルスが得られ、そのパルスがスイッチング制御信号として、高耐圧アノードドライバ (12) の 640 個のオンオフスイッチに選択的に供給される。そして、1 水平周期内の 640 ドットのパルスの 16 階調 (0 を含む) のパルス幅に応じた時間だけ、アノード A (1) ~ A (640) に 200 V の電圧が選択的に供給される。

(18) はトリガー電極駆動回路で、これに入力端子 (19) から、垂直同期信号が供給され、ここでトリガー電極制御信号が作られ、このトリガー電極制御信号が、図示を省略したトリガー電極 T G に供給される。

(発明が解決しようとする課題)

ところで、かかる従来のプラズマ表示装置は、液晶表示装置等に比べて、消費電力が大きいという問題があった。この問題は、他の自発光型表示

装置についても同様に言えることである。

かかる点に鑑み、本発明は、自発光型表示器の視認性を損なわずして、消費電力を低減することのできる自発光型表示装置を提案しようとするものである。

(課題を解決するための手段)

第 1 の本発明は、自発光型表示器 (1) と、その自発光型表示器 (1) を駆動する駆動回路 (20) とを有する自発光型表示装置において、駆動回路 (20) は、自発光型表示器 (1) の表示量を検出する表示量検出手段 (37) と、その表示量検出手段 (37) の検出出力に基づいて、自発光型表示器 (1) の表示量の増大を抑制する如く、その表示量を制御する表示量制御手段 (38) とを備えるものである。

第 2 の本発明は、第 1 の本発明において、表示量検出手段 (37) を、電源 (31) から駆動回路 (20) に供給される単位時間中の電力を検出することによって、自発光型表示器 (1) の表示

量を検出するように構成すると共に、表示量制御手段 (38) を、表示量検出手段 (37) の検出出力に基づいて、自発光型表示器 (1) の表示量の増大を抑制する如く、その発光時間を制御するように構成したものである。

第 3 の本発明は、第 1 の本発明において、表示量検出手段 (37) を、駆動回路 (20) に供給される表示データ中の自発光型表示器 (1) を発光状態にする表示データの単位時間中のデータ量を検出することによって、自発光型表示器 (1) の表示量を検出するように構成すると共に、表示量制御手段 (38) を、表示量検出手段 (37) の検出出力に基づいて、自発光型表示器 (1) の表示量の増大を抑制する如く、その発光時間を制御するように構成したものである。

(作用)

かかる第 1 ~ 第 3 の本発明によれば、表示量検出手段 (37) の検出出力に基づいて、表示量制御手段 (38) によって自発光型表示器 (38)

の表示量を制御して、自発光型表示器(1)の表示量の増大を抑制するようにする。

(実施例)

上述したプラズマ表示装置での消費電力の大部分は、プラズマ表示パネルによって消費される。即ち、プラズマ表示パネルの表示量を Q 、その消費電力を P とすると、 P は Q の関数と成り、その関係は略次のように成る。

$$P = f(Q) = \alpha Q + P_0 \dots (1)$$

但し、 α : 比例定数

P_0 : $Q = 0$ における P の値

ここで、表示量 Q は、第9図に示した単階調のプラズマ表示装置の場合には、そのプラズマ表示パネルの放電状態(発光状態)にあるセルの個数 N に比例し、その最大値、即ちプラズマ表示パネルの表示容量 Q_{cap} は、 640×400 に比例した値と成る。又、第10図に示した16階調のプラズマ表示装置の場合には、表示量 Q は、そのプラズマ表示パネルの全セル夫々の表示の階調数 0

～15の総和に比例した値と成る。

従って、プラズマ表示パネル、即ちプラズマ表示装置の消費電力を少なくするためには、プラズマ表示パネルの表示量を可及的に減少させれば良いことが分かる。

プラズマ表示パネルの場合、一般的には、表示量を少なくするためには、放電状態(発光状態)にあるセルの放電時間を短くすれば良い。しかし、プラズマ表示パネルの放電状態にあるセルの数が少ないときに、その放電状態にあるセルの放電時間を短くしたのでは、表示の視認性が損なわれるが、放電状態にあるセルの数が比較的多いときは、その放電状態にあるセルの放電時間を短くしても表示の視認性は失われない。

そこで、これらの点を考慮した、本発明の実施例を、以下に説明する。

先ず、第1図を参照して、本発明を、第9図について説明した如き単階調型のプラズマ表示装置に適用した実施例を説明する。尚、第1図において、上述の第8図～第10図と対応する部分には

同一符号を付して説明する。(31)は、200Vの高圧直流電源で、その正極が電流検出用の低抵抗の抵抗器(32)を通じて、アノードドライバ(12)に接続され、その負極がカソードドライバ(6)と共に接地される。

抵抗器(32)の両端には、その抵抗器(32)の両端電圧を検出して、その抵抗器(32)に流れる電流を検出する検出器(33)が接続されている。そして、この検出器(33)の検出出力が積分回路(34)に供給されて積分される。そして、これら抵抗器(32)、検出器(33)及び積分回路(34)にて、表示量検出手段(37)が構成される。

そして、この積分回路(34)の出力が、電圧制御型発振器(35)に発振周波数制御信号として供給される。この発振器(35)の発振出力は、パルス発生回路(36)に供給される。このパルス発生回路(36)は、発振器(35)の発振周期に応じた時間幅のパルスを発生する。このパルス発生回路(36)からのパルスは、アウトプッ

トイネーブル信号として、入力端子(13)からアノードドライバ(12)に供給される。そして、これら電圧制御型発振器(35)、パルス発生回路(36)及びアノードドライバ(12)にて、表示量制御手段が構成される。

次に、この実施例の動作を説明しよう。積分回路(34)は、入力端子(34a)からの制御信号によって、例えば数100フレーム(1フレーム=1フィールド)置きに、1フレーム期間中の表示データ期間に亘って検出器(33)の検出出力を積分し、その値を数100フレームの期間保持する。この積分回路(34)が積分動作を開始するときは、この積分回路(34)は、入力端子(34a)からの垂直同期信号に同期したリセットパルスによってリセットされる。以降、この動作が繰り返される。

さて、放電が生じているセルの個数を N 、アノードドライバ(12)のオンと成るスイッチの1水平周期期間内のオン時間を W 、比例定数を k とすると、表示量 Q は次のように表される。

$$Q = k \times N \times W \dots\dots\dots (2)$$

従って、上述の(1)式は、 $P_0 = 0$ とすると、次のように表される。

$$P = \alpha \times k \times N \times W \dots\dots\dots (3)$$

プラズマ表示パネル(1)の放電状態(発光状態)にあるセルの数 N の最大値を N_{max} (第9図の場合は、 $N_{max} = 640 \times 400$)とし、数 N が0から $N_{max} / 2$ まで(例えば、黒地に橙色の文字表示のとき)は、アノードドライバ(12)のオンと成るスイッチの1水平周期期間内のオン時間 W を最大時間幅 W_{max} にする(この場合は、 $Q = k \times N \times W_{max}$ で、 $P = \alpha \times k \times N \times W_{max}$)と共に、放電状態(発光状態)にあるセルの数 N が $N_{max} / 2$ を越えて N_{max} まで(例えば、反転表示、即ち橙地に黒色の文字表示のとき)は、その放電状態(発光状態)にあるセルの数 N の増大に応じて、アノードドライバ(12)のオンと成るスイッチの1水平周期期間内のオン時間 W を短くするようにして、その表示量 Q を一定値である $Q_{cap} / 2$ (但し、 Q_{cap} はプラズマ表示パネル

(1)の最大表示量、即ち表示容量)(この場合は、 $k \times N \times W = Q_{cap} / 2$)に保持し、即ち、 P を、 $\alpha \times Q_{cap} / 2$ に保持する。

又、プラズマ表示パネル(1)の放電状態にあるセルの数 N が、0から $N_{max} / 2$ まで(例えば、黒地に橙色の文字表示のとき)は、アノードドライバ(12)のオンと成るスイッチの1水平周期期間内のオン時間 W を最大時間幅 W_{max} にする(この場合は、 $Q = k \times N \times W_{max}$ で、 $P = \alpha \times k \times N \times W_{max}$)と共に、放電状態にあるセルの数 N が、 $N_{max} / 2$ を越えて N_{max} までのとき(例えば、反転表示、即ち橙地に黒色の文字表示のとき)は、その数 N の増大に応じて、アノードドライバ(12)のオンと成るスイッチの1水平周期期間内のオン時間が短く成るようにして、その表示量 Q が、例えば $Q = (1/2) k \times N \times W$ を満足するように、即ち P が、 $P = (1/2) \alpha \times k \times N \times W$ を満足するようにして、その表示量 Q を一定値以下に抑えるようにする。

尚、第10図のプラズマ表示装置に、この第1

図の実施例の考えを適用する場合には、第1図の実施例において、表示量制御手段(38)のパルス発生回路(36)の出力を、第10図のパルス幅カウンタ(15)に、パルス幅クロック $PWCK$ として供給するようにすれば良い。

次に、第2図を参照して、他の実施例を説明する。ORゲート(42)に n ビットの表示データ DT が供給される。第9図に示した如き単階調型のプラズマ表示装置の場合には、この n は1なので、ORゲート(42)は不要と成る。ORゲート(42)の出力はNANDゲート(43)に供給される。又、このNANDゲート(43)には、21MHzのドットクロック DCK も供給される。そして、このNANDゲート(43)の出力が、 n ビットのカウンタ(41)にクロックとして供給されて計数される。又、垂直同期信号 VD が、クリア信号としてこのカウンタ(41)に供給される。そして、カウンタ(41)の n ビットの出力の内、例えば MSB 乃至 $MSB-3$ の4ビットの出力を、4ビットのラッチ回路(44)に供給

して、垂直同期信号 VD によって、垂直周期毎にラッチする。尚、カウンタ(41)のビット数 n は、放電状態にあるセルの個数 N の最大値 N_{max} ($= 640 \times 400$)が、2の $n-1$ 乗と、2の n 乗のとの間の値を探るような値に選定される。又、カウンタ(41)の上位4ビットの出力を、ラッチ回路(44)に供給するようにしたのは、プラズマ表示パネル(1)の表示量を大まかに検出するようにして、回路構成の簡単化を図ろうとするためである。かくして、ORゲート(42)、NANDゲート(43)、カウンタ(41)及びラッチ回路(44)にて、表示量検出手段(37)が構成される。

ラッチ回路(44)の4ビットの出力は、データセクタ(45)にデータ選択制御信号 A_3, A_2, A_1, A_0 として供給される。データセクタ(45)によって、選択されるデータを16個のデータ $D_0, D_1 \sim D_{15}$ とする。そして、データセクタ(45)の出力として、アウトプットイネーブル信号 OE が得られ、第2図では図示

を省略した第1図のアノードドライバ(12)の入力端子(13)に供給される。そして、このデータセレクト(45)及びアノードドライバ(12)にて、表示量制御手段(38)が構成される。

次に、この実施例の動作を、第3図及び第4図をも参照して説明する。第3図は、アノードドライバ(12)のオンと成るスイッチの1水平周期期間(1H)内のオン時間W、即ち、 W_0 、 W_1 、 \dots 、 W_8 (但し、 $W_0 = W_{\max} > W_1 > \dots > W_8 = W_{\max} / 2$)を有するパルス P_0 、 P_1 、 \dots 、 P_8 を用意し、これらパルスを選択されるべきデータ D_0 、 D_1 、 \dots 、 D_{15} に対し、次の関係があるように、データセレクト(45)に供給する。

$$D_0 = D_1 = \dots = D_7 = P_0$$

$$D_8 = P_1$$

$$D_9 = P_2$$

配を順次下げて行くようにする。かくして、データセレクト(45)から、アウトプットイネーブル信号OEとして、パルス P_0 、 $P_1 \sim P_8$ が出力されて、オン時間Wが W_0 、 $W_1 \sim W_8$ と成る。従って、表示量Qは $Q_{cap} / 2$ 以下に、即ち、 P は $P = (\alpha / 2) \times Q_{cap}$ 以下に抑えられる。

第3図では、データセレクト(45)に供給される選択制御信号 A_3 、 A_2 、 A_1 、 A_0 として、「1000」が供給された場合の、データセレクト(45)の出力、即ちアウトプットイネーブル信号OEがパルス P_1 であることを示している。

第5図は、アノードドライバ(12)のオンと成るスイッチの1水平周期(1H)期間内のオン時間Wが、夫々 W_0 、 W_1 、 \dots 、 W_7 の場合の、放電状態にあるセルの数Nと、消費電力Pとの関係の他の例を示す。この場合は、数Nが0から $N_{\max} / 8$ まで、その後 $N_{\max} / 8$ 毎に、 $P = \alpha \times k \times W \times N$ の時間Wが、夫々 W_0 、 W_1 、 \dots 、 W_7 と成って、その勾配が徐々に緩くなるようにして、表示量Qを $k \times W_7 \times N_{\max}$ 以下に

$$D_{15} = P_8$$

第4図は、アノードドライバ(12)のオンと成るスイッチの1水平周期期間(1H)内のオン時間Wが、夫々 W_0 、 W_1 、 \dots 、 W_8 の場合の、プラズマ表示パネル(1)の放電状態にあるセルの数Nと、消費電力P(W)との関係を示す。尚、Pは上述したように、 $P = \alpha \times k \times N \times W$ である。

そして、データセレクト(45)に供給される制御信号 A_3 、 A_2 、 A_1 、 A_0 の如何に応じて、アノードドライバ(12)のオンと成るスイッチの1水平周期(1H)期間内のオン時間Wが、次のように決定される。

即ち、放電状態(発光状態)にあるセルの数Nが $0 \sim 8 N_{\max} / 16$ のときは、 $P = \alpha \times k \times W \times N$ のWを W_0 に固定し、その後、Nが $N_{\max} / 16$ ずつ増える毎に、 $P = \alpha \times k \times N \times W$ のWを $W_1 \sim W_8$ ($= W_0 / 2$)に変化させて、その勾

抑える、即ちPを $\alpha \times k \times W_7 \times N_{\max}$ 以下に抑えることができる。尚、この場合の実施例の構成は、図示及び説明を省略する。

上述の第2図の実施例において、表示量検出手段(37)によるプラズマ表示パネル(1)で表示すべき表示データの表示量を細かく検出し、それに基づいて、表示量制御手段(38)によるプラズマ表示パネル(1)の表示量、即ち放電状態にあるセルの放電時間を細かく制御することにより、第4図及び第5図における表示状態にあるセルの数Nに対する消費電力の変化を滑らかにすることができる。

上述の第2図の実施例における表示量検出手段(37)は、第6図に示す如く、その一部をアナログ回路にすることもできる。即ち、入力端子(51)に供給される表示データDTを、入力端子(53)に供給される制御信号に基づいて、数100フレーム毎に、1フレーム期間中の表示データ期間に亘ってオンと成るオノフスイッチ(52)を通じて、抵抗器(54R)及びコンデ

ンサ (54C) から成る積分回路 (54) に供給して積分し、その積分回路 (54) の出力を A/D 変換器 (55) に供給して n ビットのデジタルデータに変換する。そして、A/D 変換器 (55) の n ビットのデータの内、例えば上位 4 ビットのデータをラッチ回路 (44) に供給して、垂直同期信号 VD によって、1 垂直期間ラッチし、その出力を第 2 図と同様のデータセクタ (45) に供給するようにする。尚、この実施例の動作は第 2 図の実施例の動作と略同様なので、その動作説明は省略する。

次に、第 10 図で説明した 16 階調のプラズマ表示装置に、本発明を適用した場合の第 2 図の実施例の動作を、第 7 図を参照して説明する。データセクタ (45) に供給されて選択されるべきデータ D_0 、 D_1 、 \dots 、 D_{15} の周期を、第 7 図に示すように 1 水平期間 (1H) 内において、 $D_0 \sim D_8$ においては同じで、 D_8 から D_{15} に行くに従って次第に短く成るようにする。そして、選択制御信号 A_3 、 A_2 、 A_1 、 A_0 によってこれらデータ

D_0 、 D_1 、 \dots 、 D_{15} から、その内の 1 つを選択して、第 10 図のプラズマ表示装置のパルス幅カウンタ (15) に、その入力端子 (16) から供給する。又、アノードドライバ (14) には、水平同期信号に同期したセットパルス SP が供給される。そして、シフトレジスタ (7) に供給される 640 個の 4 ビットの表示データ DT に応じて、セットパルス SP の後縁に一致する前縁と、選択されたデータ D_0 、 D_1 、 \dots 、 D_{15} の各パルスの後縁に一致する後縁とを有するパルスが、パルス幅比較回路 (14) から出力され、これがアノードドライバ (12) の各スイッチに供給される。第 7 図では、選択制御信号 A_3 、 A_2 、 A_1 、 A_0 が「1000」である場合に、データセクタ (45) によって、データ D_8 が選択され、これに基づいて発生し、アノードドライバ (12) 各スイッチに供給されるパルス GS1 ~ GSN を示している。

そして、データセクタ (45) では、プラズマ表示パネル (1) の放電状態 (発光状態) にあ

るセルの数 N が、例えば $N_{max} / 2$ 以下では、アノードドライバ (12) のスイッチのオン期間 W の単位時間 (1 階調差の時間) を最大にし、 $N_{max} / 2$ を越えて N_{max} まではオン期間 W の単位時間が次第に短くなるようにする。

上述の各実施例においては、表示量の制御をアノードドライバの各スイッチのオン時間の制御によって行った場合について説明したが、単階調型プラズマ表示装置の場合には、カソードドライバの各スイッチのオン時間の制御によって行っても良い。

又、上述の実施例においては、セルの放電時間 (発光時間) を制御して、消費電力を制御したが、自発光型表示装置の種類によっては、セルに対する印加電圧を変えて消費電力を制御することもできる。

(発明の効果)

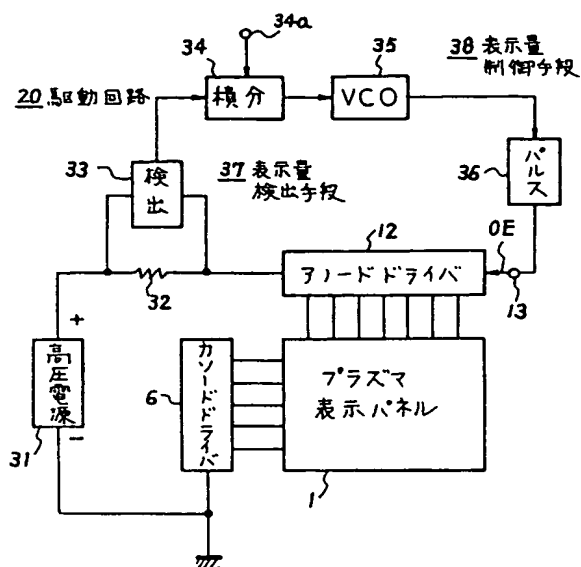
上述せる本発明によれば、表示の視認性が損なわれることなくして、消費電力を低減することの

できる自発光型表示装置を得ることができる。

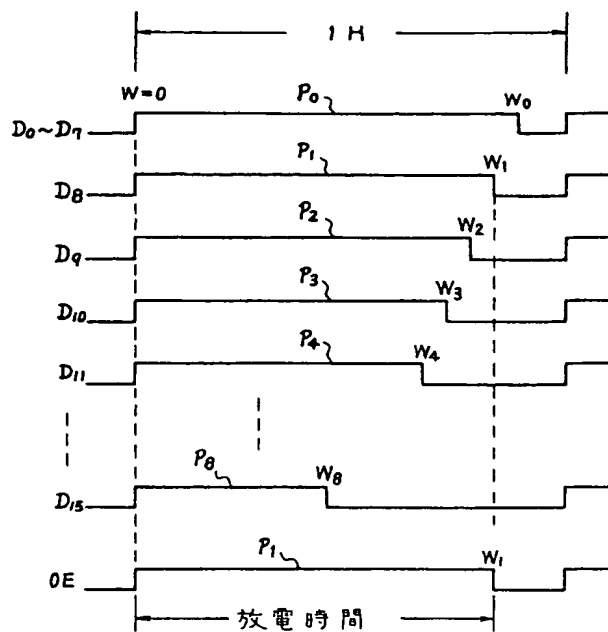
図面の簡単な説明

第 1 図は本発明の一実施例を示すブロック線図、第 2 図は他の実施例を示すブロック線図、第 3 図は実施例の説明に供するタイミングチャート、第 4 図及び第 5 図は夫々実施例の説明に供する特性図、第 6 図は本発明の更に他の実施例を示すブロック線図、第 7 図は実施例の説明に供するタイミングチャート、第 8 図は従来のプラズマ表示パネルを示す断面部分図、第 9 図は従来の単階調型プラズマ表示装置を示すブロック線図、第 10 図は従来の 16 階調型プラズマ表示装置を示すブロック線図である。

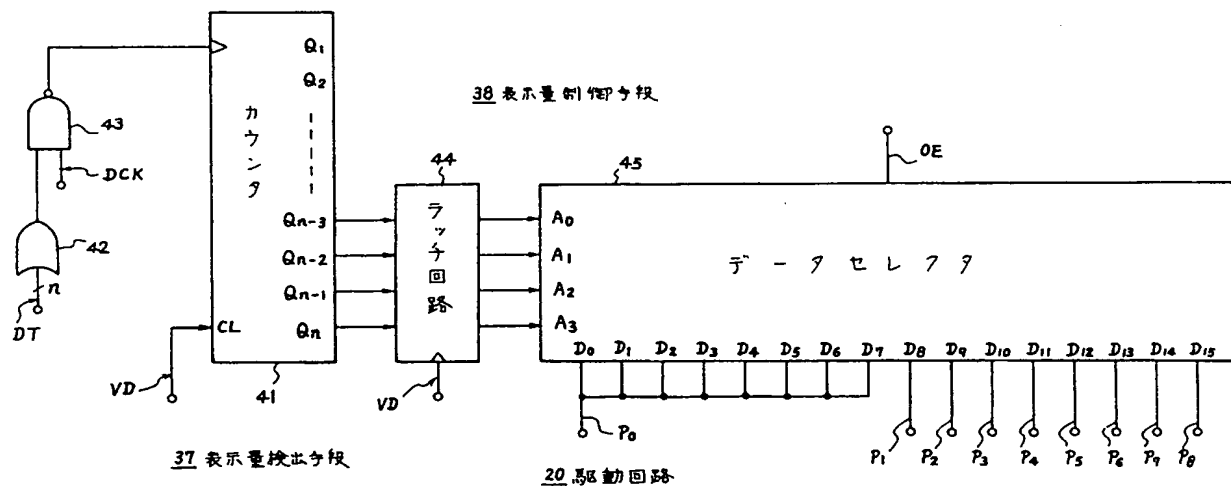
(1) はプラズマ表示パネル、(20) は駆動回路、(37) は表示量検出手段、(38) は表示量制御手段である。



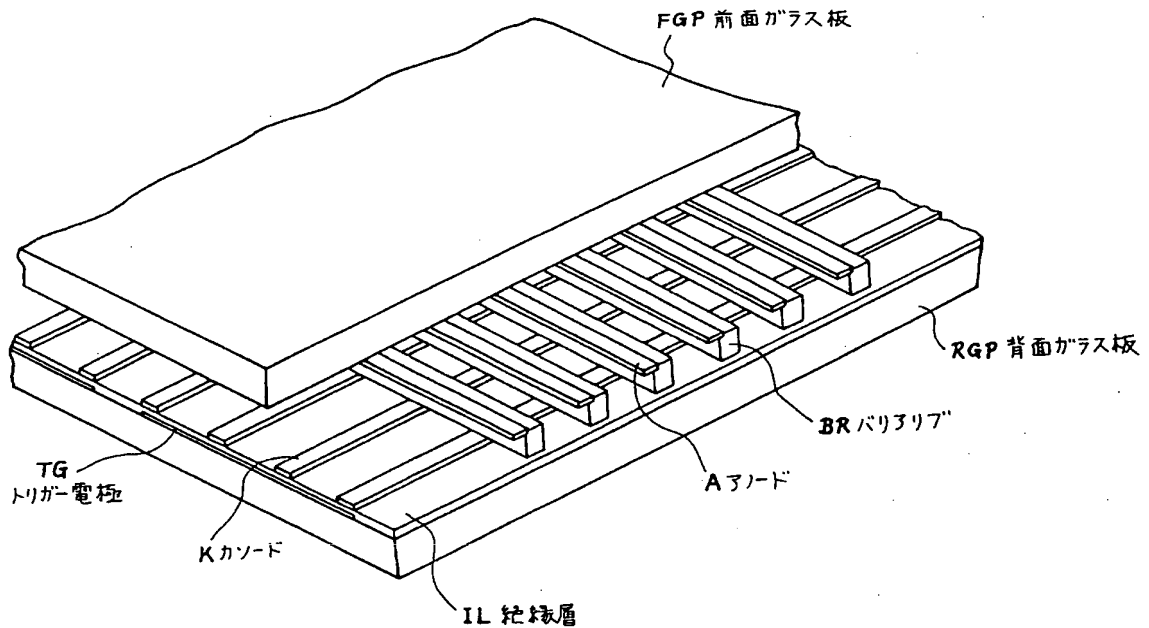
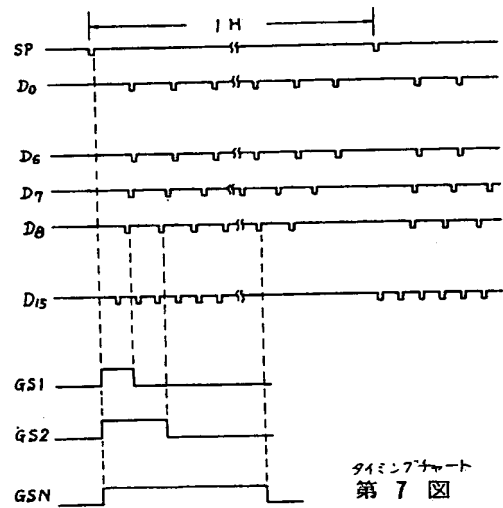
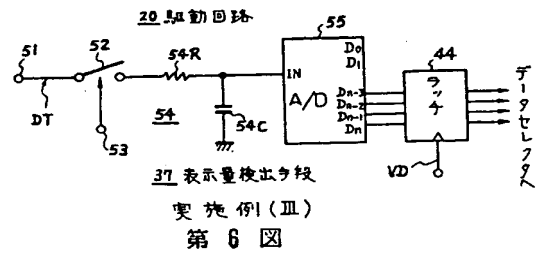
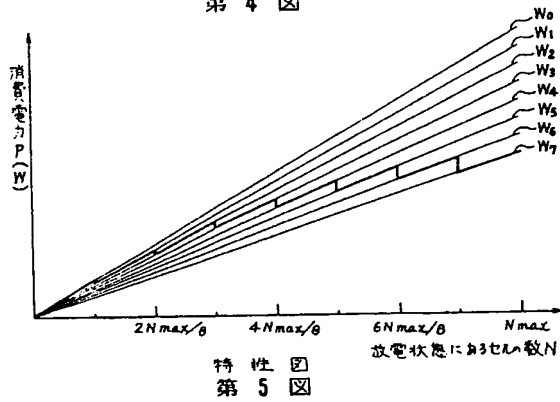
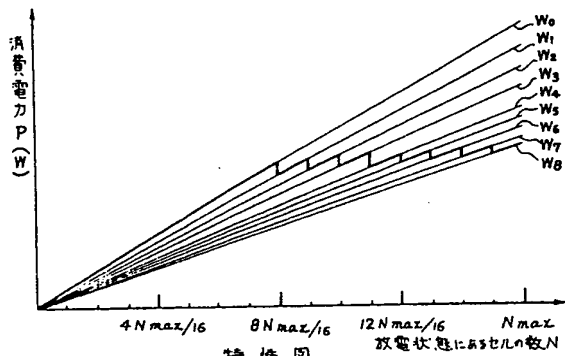
实施例(I)
第1図



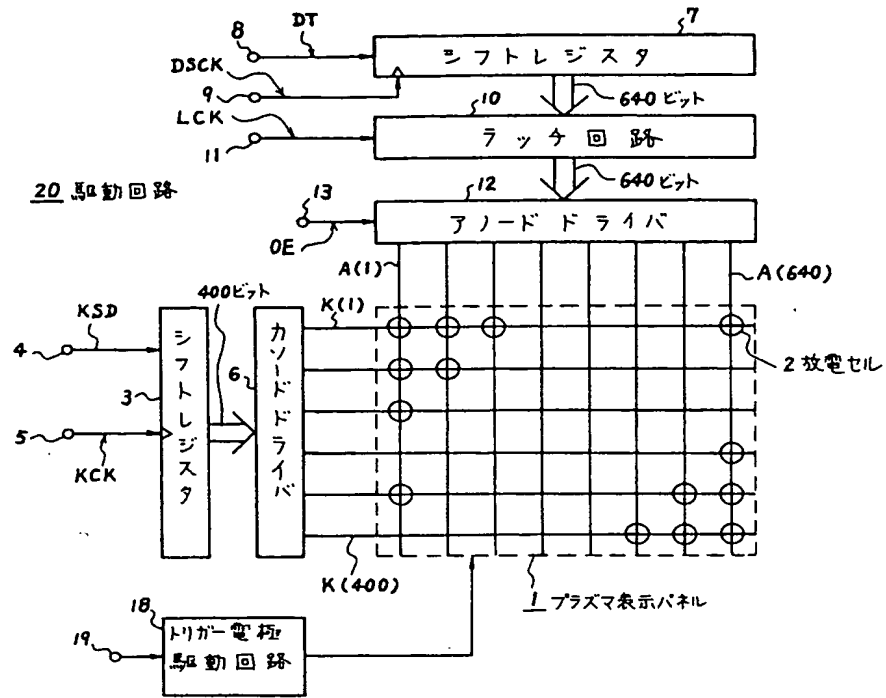
タイミングチャート
第 3 図



實施例(Ⅱ)
第2圖

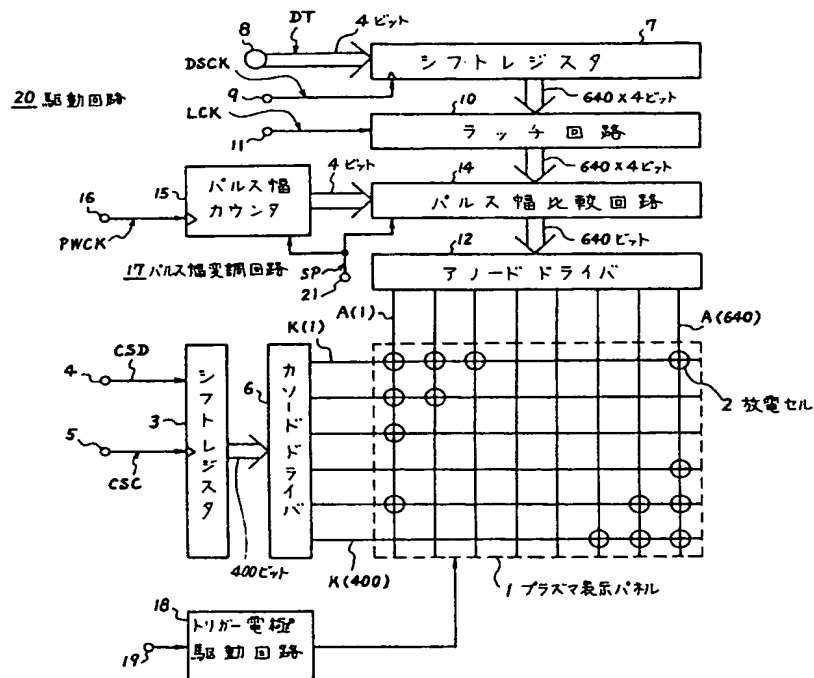


従来の「プラズマ」表示パネル
第 8 図



従来のプラズマ表示装置（単階調型）

第 9 図



従来のプラズマ表示装置（16階調型）

第 10 図

第 1 頁の続き

⑦発 明 者

遠 藤

譲 一

神奈川県横浜市緑区桂台 1-5-5 デイクシー株式会社
内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)